

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09092787 A**

(43) Date of publication of application: **04.04.97**

(51) Int. Cl.

H01L 27/04

H01L 21/822

G01R 31/28

(21) Application number: **07250616**

(71) Applicant: **NEC YAMAGUCHI LTD**

(22) Date of filing: **28.09.95**

(72) Inventor: **SHIMIZU HIROFUMI**

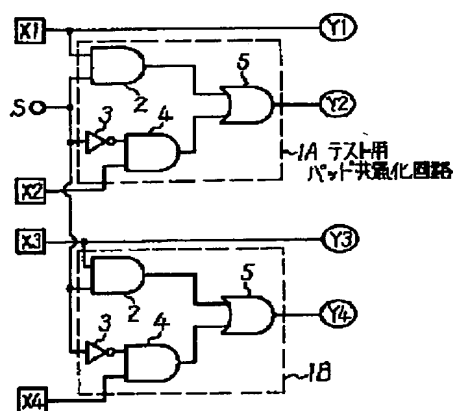
(54) **SEMICONDUCTOR DEVICE**

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device which makes it possible to easily simplify the formation of a probe card and to realize a stable low-cost test.

SOLUTION: Pad common circuits 1A, 1B for a plurality of tests having AND gates 2, 4, an inverter 3 and an OR gate 5 are provided at the input or output unit of a semiconductor chip. At the time of testing the operation, the circuits 1A, 1B are driven by using a test selection signal S to share the part of the plurality of pads X1 to X4, and at the time of normal use, the pads X1 to X4 are used independently from each other, and directly coupled to inner terminals Y1 to Y4.

COPYRIGHT: (C)1997,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-92787

(43) 公開日 平成9年(1997)4月4日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/04			H 0 1 L 27/04	T
21/822			G 0 1 R 31/28	U
G 0 1 R 31/28				

審査請求 有 請求項の数 3 O L (全 5 頁)

(21) 出願番号 特願平7-250616

(22) 出願日 平成7年(1995)9月28日

(71) 出願人 000178332

山口日本電気株式会社

山口県厚狭郡楠町大字東万倉字神元192番
地-3

(72) 発明者 清水 宏文

山口県厚狭郡楠町大字東万倉字神元192番
地3 山口日本電気株式会社内

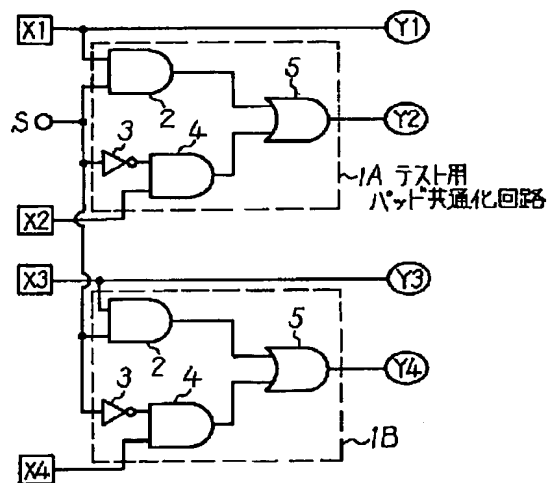
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】プローブカードの作成を容易にし簡略化するとともに、安価にして安定したテストを実現することのできる半導体装置を提供することにある。

【解決手段】半導体チップの入力部あるいは出力部に、ANDゲート2、4とインバータ3とおよびORゲート5とで構成した複数のテスト用パッド共通化回路1A、1Bを設ける。動作テスト時には、この共通化回路1A、1Bをテスト用選択信号Sを用いて駆動することにより、複数のパッドX1～X4の一部を共用化する一方、通常の使用時にはこれら複数のパッドX1～X4を互いに独立化させ、内部端子Y1～Y4に直結する。



【特許請求の範囲】

【請求項1】 ウェハース上に形成される複数のパッドに共通して接続される複数のテスト用パッド共通化回路を設け、動作テスト時には前記テスト用パッド共通化回路をテスト用選択信号を用いて駆動することにより前記複数のパッドの一部を共用化する一方、通常の使用時には前記複数のパッドを互いに独立化させることを特徴とする半導体装置。

【請求項2】 前記複数のテスト用パッド共通化回路の各々は、第1の入力端子およびセレクト端子に接続される第1のANDゲートと、前記セレクト端子に接続されるインバータと、前記インバータの出力および第2の入力端子に接続される第2のANDゲートと、前記第1、第2のANDゲートの出力を2入力とするORゲートとで構成し、前記セレクト端子からの選択信号により前記第1、第2の入力端子の信号を前記ORゲートの出力端子に出力する請求項1記載の半導体装置。

【請求項3】 前記複数のテスト用パッド共通化回路のうち、第1のテスト用パッド共通化回路は、第1の入力端子およびセレクト端子に接続される第1のANDゲートと、前記セレクト端子に接続される第1のインバータと、前記第1のインバータの出力および第2の入力端子に接続される第2のANDゲートと、前記第1、第2のANDゲートの出力を2入力とする第1のORゲートとで構成し、第2のテスト用パッド共通化回路は、前記第1の入力端子および前記セレクト端子に接続される第3のANDゲートと、前記セレクト端子に接続される第2のインバータと、前記第2のインバータの出力および第3の入力端子に接続される第4のANDゲートと、前記第3、第4のANDゲートの出力を2入力とする第2のORゲートとで構成し、前記セレクト端子からの選択信号により前記第1、第2の入力端子の信号を前記第1のORゲートの出力端子に出力する一方、前記第1、第3の入力端子の信号を前記第2のORゲートの出力端子に出力する請求項1記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は互いに干渉しない入出力端子を備えた半導体装置に関し、特に内部回路の電氣的動作テスト機能を有する半導体装置に関する。

【0002】

【従来の技術】 現在、ゲートアレイ等の半導体装置は高機能化、高集積化に伴ない、パッド数も増加し、またパッド面積が縮小するとともに、パッドの高密度配置が実施されている。

【0003】 通常、このような半導体装置は、中央部に形成される内部回路と、この内部回路の周辺に入出力端子となるパッドとを備えて構成されており、この半導体装置の電氣的動作テストをウェハース上で実施する場合、電氣的導通を確保するためのプローブカードが用い

られる。

【0004】 図3はかかる従来の一例を説明するための半導体装置のテスト状態斜視図である。図3に示すように、半導体装置としての半導体チップ1を動作テストするにあたっては、ウェハース上でプローブカードを用いて行う。すなわち、そのプローブカードの針先3を半導体チップ1の周辺に形成されたパッド2のすべてと接触をとることにより、動作テストを行っている。

【0005】

【発明が解決しようとする課題】 上述した従来のウェハース上に形成された半導体装置は、その電氣的動作テストを行う際、ユーザが使用する場合と同様の配線を行う必要があり、しかも形成した全パッドにプローブカードの針を接触させるため、パッド数の増加、パッド面積の縮小化、高密度配置化に応じて、その針も増加し、また針の高密度配置も必要になってくる。

【0006】 これらは、すべてプローブカード作成技術の微細化、費用の増大およびカードメンテナンスの困難化等の原因になる。さらに、半導体装置のテスト時には、各パッドとの針圧ばらつきにより接触抵抗が不安定となり、安定したテストが不可能になるという問題がある。

【0007】 本発明の目的は、かかるプローブカード作成を容易にし簡略化するとともに、安価に且つ安定したテストを実現することのできる半導体装置を提供することにある。

【0008】

【課題を解決するための手段】 本発明の半導体装置は、ウェハース上に形成される複数のパッドに共通して接続される複数のテスト用パッド共通化回路を設け、動作テスト時には前記テスト用パッド共通化回路をテスト用選択信号を用いて駆動することにより前記複数のパッドの一部を共用化する一方、通常の使用時には前記複数のパッドを互いに独立化させるように構成される。

【0009】 また、本発明の半導体装置における前記複数のテスト用パッド共通化回路の各々は、第1の入力端子およびセレクト端子に接続される第1のANDゲートと、前記セレクト端子に接続されるインバータと、前記インバータの出力および第2の入力端子に接続される第2のANDゲートと、前記第1、第2のANDゲートの出力を2入力とするORゲートとで構成し、前記セレクト端子からの選択信号により前記第1、第2の入力端子の信号を前記ORゲートの出力端子に出力するように構成される。

【0010】 さらに、本発明の半導体装置における前記複数のテスト用パッド共通化回路のうち、第1のテスト用パッド共通化回路は、第1の入力端子およびセレクト端子に接続される第1のANDゲートと、前記セレクト端子に接続される第1のインバータと、前記第1のインバータの出力および第2の入力端子に接続される第2の

3

ANDゲートと、前記第1、第2のANDゲートの出力を2入力とする第1のORゲートとで構成し、第2のテスト用パッド共通化回路は、前記第1の入力端子および前記セレクト端子に接続される第3のANDゲートと、前記セレクト端子に接続される第2のインバータと、前記第2のインバータの出力および第3の入力端子に接続される第4のANDゲートと、前記第3、第4のANDゲートの出力を2入力とする第2のORゲートとで構成し、前記セレクト端子からの選択信号により前記第1、第2の入力端子の信号を前記第1のORゲートの出力端子に出力する一方、前記第1、第3の入力端子の信号を前記第2のORゲートの出力端子に出力するように構成される。

【0011】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。

【0012】図1は本発明の一実施の形態を説明するための半導体装置のパッド周辺の回路図である。図1に示すように、本実施の形態の半導体装置は半導体製品の入力部に追加する回路であり、その特徴はウェハース上に形成される複数のパッドX1、X2およびX3、X4に共通して接続される複数の同一構成のテスト用パッド共通化回路1A、1Bを設けることにある。。これらテスト用パッド共通化回路1A、1Bの各々は、第1の入力端子X1あるいはX3およびセレクト端子Sに接続される第1のANDゲート2と、セレクト端子Sに接続されるインバータ3と、このインバータ3の出力および第2の入力端子X2あるいはX4に接続される第2のANDゲート4と、これらのANDゲート2、4の出力を2入力とするORゲート5とを備えている。これら第1の入力端子X1あるいはX3はそれぞれ半導体内部回路に接続する端子Y1あるいはY3に直接接続され、テスト用パッド共通化回路1A、1BのORゲート5の出力が半導体内部回路に接続する端子Y2あるいはY4に接続される。

【0013】動作テスト時にはこのテスト用パッド共通化回路1A、1Bをテスト用選択信号Sを用いて駆動し、パッドX1、X2あるいはX3、X4からの信号を端子Y2あるいはY4に出力する。すなわち、複数のパッドの一部を共用化する。一方、通常の使用時にはこれら複数のパッドX1～X4を互いに独立化させ、それぞれ端子Y1～Y4とのみ接続するようにしている。

【0014】以下、プローブカードを用いた具体的な動作テストについて説明する。

【0015】まず、ウェハース上で半導体装置の電気的動作テストを行う場合、端子Sに“H”信号を入力し、プローブカードの針をパッドX1、X3のみに当てる。このとき、Y1、Y2には共にX1の信号が入力され、またY3、Y4には共にX3の信号が入力されるので、Y1又はY2に接続される内部回路のテストを行う場合

4

にはパッドX1に信号を供給してそれぞれの回路の出力からパス／フェイル判断をし、またY3又はY4に接続される内部回路のテストを行う場合にはパッドX3に信号を供給してそれぞれの回路の出力からパス／フェイル判断を行う。

【0016】このように、従来はX1～X4の4つのパッドすべてに針を当てるプローブカードが必要であったものが、本実施の形態においては、X1、X3の2つのパッドのみに針を当てるプローブカードで良いことになる。すなわち、パッドX1～Xnについて同様な回路を使用した場合、パッドに当てるプローブカードの針の数はn本からn/2本に減少させることができる。尚、このとき、Y1、Y2あるいはY3、Y4には同時に信号が入力され、それに伴ない2系統の出力が有るので、それぞれの回路を使用する場合には他方の回路の出力をマスクするプログラムが必要になる。

【0017】つぎに、ウェハースからそれぞれの半導体チップを分離した後は、全パッドに配線をボンディングする必要があるため、その後のテストあるいはユーザの使用時には、端子Sに“L”信号を入力してやれば良く、その場合にはパッドX1～X4の信号はそれぞれ直接端子Y1～Y4に出力される。

【0018】要するに、かかる実施の形態においては、Y1、Y2およびY3、Y4に接続される内部回路は互いに干渉せずに独立した回路であり、パッドの減少はテスト時に有効になる。

【0019】同様に、端子Y1～Y4を半導体製品の出力パッドとし、端子X1～X4を内部回路に接続される出力部とした場合にも、パッドに接触するプローブカードの針の数を低減することが可能である。

【0020】図2は本発明の他の実施の形態を説明するための半導体装置のパッド周辺の回路図である。図2に示すように、本実施の形態も図1の場合と同様であるが、ここでは複数のテスト用パッド共通化回路1A、1Bのうち、第1のテスト用パッド共通化回路1Aは、第1の入力端子X1およびセレクト端子Sに接続される第1のANDゲート2と、セレクト端子Sに接続される第1のインバータ3Aと、この第1のインバータ3Aの出力および第2の入力端子X2に接続される第2のANDゲート4Aと、これらのANDゲート2A、4Aの出力を2入力とする第1のORゲート5Aとで構成し、第2のテスト用パッド共通化回路1Bは、第1の入力端子X1およびセレクト端子Sに接続される第3のANDゲート2Bと、セレクト端子Sに接続される第2のインバータ3Bと、この第2のインバータ3Bの出力および第3の入力端子X3に接続される第4のANDゲート4Bと、これらのANDゲート2B、4Bの出力を2入力とする第2のORゲート5Bとで構成するものである。これにより、セレクト端子Sからの選択信号を用いて第1、第2の入力端子X1、X2の信号を第1のORゲート

10

20

30

40

50

5

ト5Aの出力端子Y2に出力する一方、第1、第3の入力端子X1、X3の信号を第2のORゲート5Bの出力端子Y3に出力することができる。

【0021】すなわち、図1の場合と同様に、ウェハース上で半導体装置の電気的動作テストを行う場合、端子Sに“H”信号を入力し、プローブカードの針をパッドX1のみに当てる。このとき、内部回路への接続端子Y1、Y2、Y3には共にパッドX1の信号が入力されるので、端子Y1～Y3に接続される内部回路のテストを行う場合には、パッドX1に信号を入力し、それぞれの回路の出力からパス／フェイル判断をする。これにより、テストに際しては、従来パッドX1～X3の3つのパッドに針をあてるプローブカードが必要であったのを、1/3に相当する1つのパッドにのみ針をあてるプローブカードで可能になる。

【0022】また、全パッドに配線をボンディングした後、セレクト端子Sに“L”を入力することにより、パッドX1～X3の信号は直接内部端子Y1～Y3に出力され、通常のテストおよび使用が可能になる。

【0023】尚、図2の場合も、入力側に用いるだけでなく、出力側に用いても同様に実現することができる。

【0024】

【発明の効果】以上説明したように、本発明の半導体装置は、ウェハース上に形成される複数のパッドに共通して接続される複数のテスト用パッド共通化回路を設け、その回路をテスト用選択信号を用いて駆動することによ

6

り、必要時にのみ1つの端子を2つ以上に割り付けることができるので、内部回路等の電気的動作テストに使用するパッドの数を減少させることが出来、測定時に使用するプローブカードの針の数を削減し小型化を実現するとともに、針の配置密度を緩和できるので、プローブカードを安価に製造できるという効果がある。

【0025】また、本発明の半導体装置は、内部回路のテスト時に用いるプローブカードの針の数を削減できるので、それぞれのパッドと針との針圧ばらつきを低減でき、安定したプロービングを可能にするだけでなく、テストそのものの安定化を実現できるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施の形態を説明するための半導体装置のパッド周辺の回路図である。

【図2】本発明の他の実施の形態を説明するための半導体装置のパッド周辺の回路図である。

【図3】従来の一例を説明するための半導体装置のテスト状態斜視図である。

【符号の説明】

1A、1B テスト用パッド共通化回路

2、4 ANDゲート

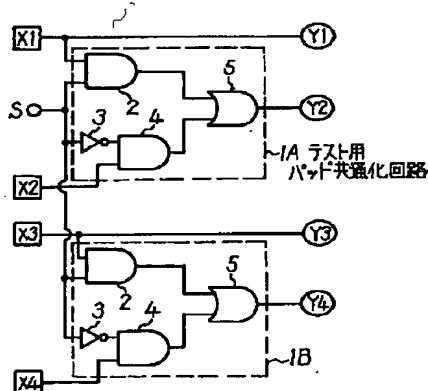
3 インバータ

5 ORゲート

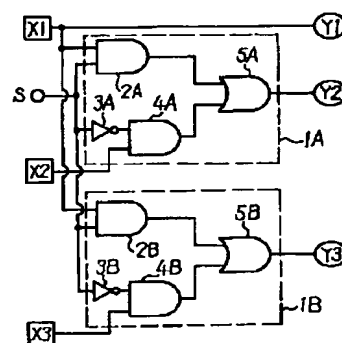
X1～X4 パッド

Y1～Y4 内部接続端子

【図1】



【図2】



【図3】

